



**PRINCIPLE OF DYNAMICAL SCALING IN GREEN COMPUTING**

- Determination and application of functionality complete tolerant basis
- Preservation of logic functions on failures

**GREEN COMPUTING BASED ON SELF-TIMED CIRCUITS**

- Synthesis and analysis of self-timed circuits
- Modeling of strictly self-timed circuits

**GREEN FPGA**

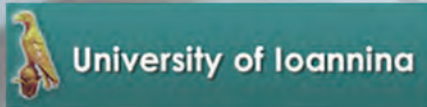
- Modeling of modified LUT for green FPGA
- Implementation of logic and self-timed for green FPGA

**RELIABILITY AND FAULT-TOLERANCE OF GREEN FPGA**

- Self-checking and fault-tolerant LUT for green FPGA
- Fault-tolerant SRAM cells and self-timed circuits for green FPGA

**DIVERSE CLOCKING FOR GREEN FPGA-BASED SYSTEMS**

- Principle and technique of diverse clocking
- Tool for research of FPGA systems with diverse clocking



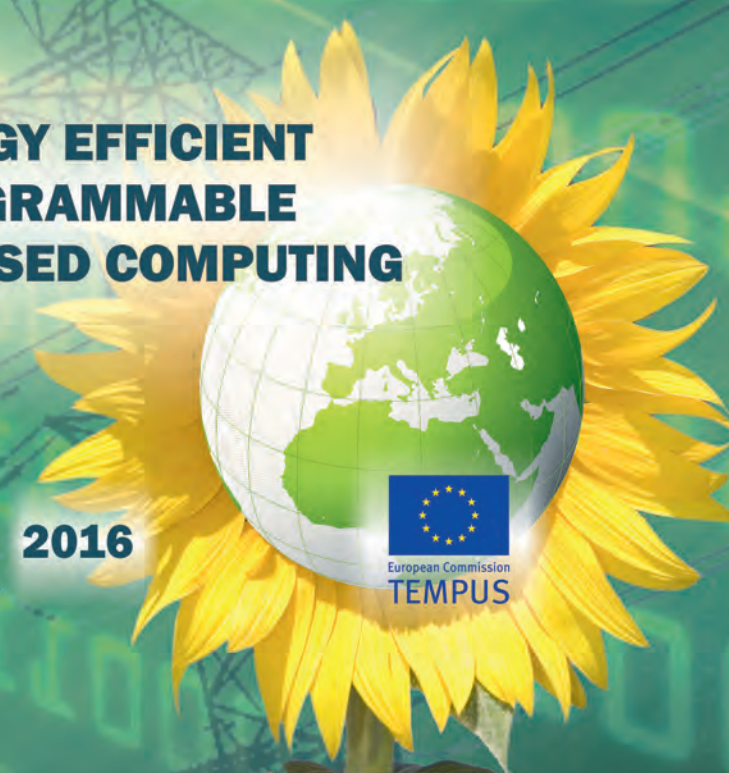
**ЭНЕРГОЭФФЕКТИВНЫЕ  
ВЫЧИСЛЕНИЯ  
НА ПРОГРАММИРУЕМОЙ ЛОГИКЕ**

Практикум

**ENERGY EFFICIENT  
PROGRAMMABLE  
LOGIC-BASED COMPUTING**



2016



**Министерство образования и науки Украины  
Национальный аэрокосмический университет  
им. Н.Е. Жуковского «ХАИ»**

**С.Ф. Тюрин, А.Н. Каменских, В.С. Харченко**

**Энергоэффективные вычисления на  
программируемой логике**

**Energy Efficient Programmable  
Logic-Based Computing**

**Практикум**

**Под редакцией В.С. Харченко**

**Проект  
*TEMPUS-GREENCO*  
*530270-TEMPUS-1-2012-1-UK-TEMPUS-JPCR*  
*Green Computing and Communication***

**2016**

УДК 004.052  
ББК 97.420(0)м  
Т63

Викладені матеріали навчального курсу, присвяченого дослідженню та розробленню енергоєфективних технологій обчислень на програмовній логіці – ПЛІС типу FPGA. Надані практичні заняття і лабораторні роботи з варіантами завдань для самостійного вивчення.

Практикум відповідає програмі курсу “Енергоєфективні обчислення на програмовній логіці” (PhD2, Research and Development for Green FPGA-Based Computing), підготовленої для PhD-студентів в рамках проекту TEMPUS-Green Co (530270-TEMPUS-1-2012-1-UK- TEMPUS-JPCR).

Рекомендується студентам, магістрантам, аспірантам, докторантам вищих навчальних закладів, що навчаються за спеціальностями комп'ютерної інженерії, викладачам, науковим співробітникам, інженерам, що займаються розробкою вбудованих систем на ПЛІС.

**Рецензенти:** **Опанасенко Владимир Николаевич**, начальник отдела Института кибернетики имени В.М. Глушкова НАН Украины, доктор технических наук, профессор;

**Сидоренко Николай Федорович**, главный инженер ИТ СКБ «Полисвит», заслуженный изобретатель Украины, кандидат технических наук, доцент.

**Тюрин С.Ф., Каменских А.Н., Харченко В.С.**

**Энергоэффективные вычисления на программируемой логике. Практикум** / Под редакцией Харченко В.С. – Министерство образования и науки Украины, Национальный аэрокосмический университет им. Н.Е.Жуковского «ХАИ», Харьков. – 2016. – 135 с.

ISBN 978-966-662-717-9.

Изложены материалы учебного курса, посвященного исследованию и разработке энергоэффективных технологий вычислений, основанных на программируемой логике – ПЛІС типа FPGA. Даны практические и лабораторные работы с вариантами заданий для самостоятельного изучения.

Практикум соответствует программе дисциплины «Энергоэффективные вычисления на программируемой логике» (PhD2, Research and Development (R&D) for Green FPGA-Based Computing), подготовленной для аспирантов в рамках проекта TEMPUS-Green Co (530270-TEMPUS-1-2012-1-UK- TEMPUS- JPCR).

Рекомендуется студентам, магистрантам, докторантам высших учебных заведений, обучающимся по специальностям компьютерной инженерии, преподавателям, научным работникам, инженерам, занимающимся разработкой встроенных систем на ПЛІС. Библ. – 54 наименований, рисунков – 98, таблиц – 4.

Рекомендовано к изданию Ученым Советом Национального аэрокосмического университета им. Н.Е. Жуковского «Харьковский авиационный институт» (протокол №1 от 2 сентября 2015 г.).

УДК 004.052  
ББК 97.420(0)м

ISBN 978-966-662-717-9

© Тюрин С.Ф., Каменских А.Н., Харченко В.С.

© Национальный аэрокосмический университет имени Н.Е. Жуковского «ХАИ», 2016

## СПИСОК СОКРАЩЕНИЙ

- АЛУ – арифметико-логическое устройство  
АО – аппаратное обеспечение  
АТОЛ – адиабатическая (или термодинамически обратимая) логика (adiabatic circuits)  
БИС – большие интегральные схемы  
ДС – диверсная синхронизация  
ЗВ – зеленые вычисления (green computing)  
ИКТ – информационные компьютерные технологии  
КЛБ – конфигурируемый логический блок (configurable logic block, CLB)  
ЛЭ – логический элемент (вентиль, gate)  
НТ – накристалльное терминирование (on-die termination, ODT)  
НЧП – независимая часть проекта  
ПК – персональный компьютер (personal computing, PC)  
ПЛИС – программируемая логическая интегральная схема  
ПЛИМ – программируемая логическая матрица  
ПО – программное обеспечение  
УНЭ – устройство низкого энергопотребления (low power design, LPD)  
ФПТ – функционально-полная толерантная  
ASIC (application-specific integrated circuit) – заказная специализированная БИС, однократно программируемая интегральная схема  
FPGA (field-programmable gate array) – программируемая пользователем логическая матрица  
LUT (look-up-table) – логическая ячейка ПЛИС типа FPGA

**ВВЕДЕНИЕ**

Экономия ресурсов в области компьютерной техники в последнее время приобретает, равную, а иногда и большую значимость по сравнению с увеличением скорости вычислений, производительности и надежности (<http://nature-time.ru/2014/07/zelenyie-vyichisleniya-ili-zelenyie-informatsionnyie-tehnologii>).

Green computing (зеленые вычисления, ЗВ [1,2]) – это теория и практика экологически ориентированных информационных технологий, это энергосберегающие, энергоэффективные технологии вычислений (ЭТВ). Создана международная организация – IFG (International Federation of Green ICT) и разрабатываются соответствующие стандарты IFG Standards. Основными целями ЗВ являются: сокращение использования опасных материалов, снижение энергопотребления на протяжении жизненного цикла ИТ-изделий, а также эффективная, в экономическом и экологическом смысле, утилизация [3], рис. В.1.

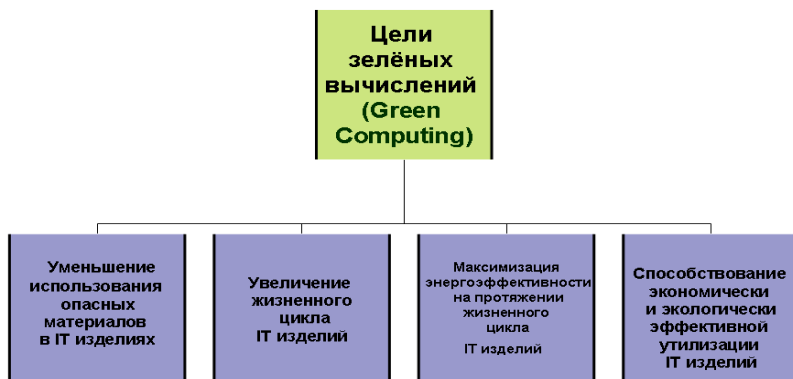


Рис. В.1. Основные цели ЗВ

Часто используются также синонимичные понятия и термины – энергоориентированные (энергосознательные) компьютерные системы - ЭСКС - (Energy-Aware Computer Systems), энергоэкономичные (в смысле затрат энергии) компьютерные системы на основе энергосберегающих подходов - ЭКС (Energy-Saving Computer Systems), энергоэффективные компьютерные системы - ЭЭКС (Energy Efficient Computer Systems) и пр.

В США на питание и охлаждение датацентров тратится \$4,5 млрд.; имеется тенденция к росту до \$8 млрд. в ближайшие 5 лет [1]. В типовом офисе компьютеры используют примерно половину всей электроэнергии, причем серверы потребляют около двух третей, остальное приходится на рабочие станции и периферию. Центры обработки данных потребляют в

100-200 раз больше стандартного офиса. По некоторым оценкам расходы на питание компьютеров в среднем составляют половину цены оборудования; 50% от них – стоимость охлаждения [1]. В США около 50% ПК не выключаются ночью, в результате чего, ежегодные потери энергии порядка 30 млрд. кВтч, а стоимость \$3 млрд. в год. В Европе потери на порядок меньше, но всё равно они огромны.

Считается, что «зеленая» гонка началась в 1992 году, когда Агентство по охране окружающей среды США запустило проект Energy Star для поощрения добровольных тенденций энергоэффективности при разработке мониторов, оборудования климат-контроля, и в других технологиях. Это дало толчок широкому распространению «спящего» режима среди потребительской электроники. Энергосберегающие функции теперь имеются на любом компьютере, введены спящий [suspend] и ждущий [hibernate] режимы: в первом случае компьютер остается включенным, но останавливается жесткий диск и процессор; во втором содержимое ОЗУ записывается на винчестер, и компьютер выключается полностью. Основные направления ЗВ показаны на рис. В.2. В настоящее время направление зелёных вычислений активно развивается, проводятся масштабные научно-технические и бизнес-конференции [4-5].

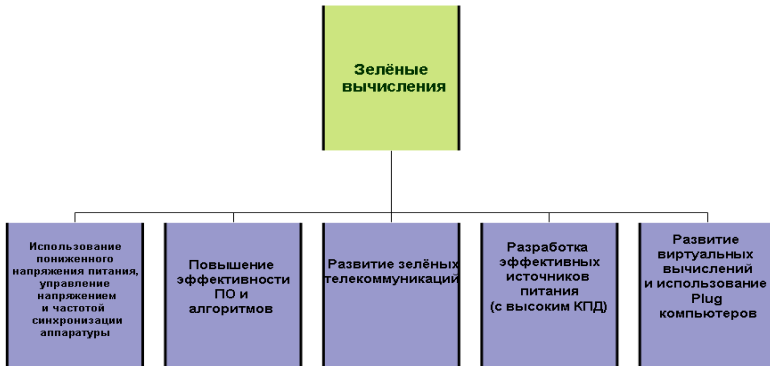


Рис. В.2. Основные направления ЗВ

Созданы многочисленные организации, борющиеся за энергетическую эффективность с глобальной целью снижения выброса «парниковых» газов, например, Alliance to Save Energy, Climate Savers Computing Initiative 2Degrees (Low Carbon ITC Network), The Green Grid, Sustainable Electronics Initiative (SEI) и др. Пропагандируется соответствующая добровольная сертификация IT изделий.

Существуют образовательные программы (магистерские и аспирантские) в Австралийском Национальном университете, университете Атабаски (Канада), Лидском университете (Великобритания) и др. [1]. Имеются обширные Интернет-ресурсы в этой области [6-7]. Таким образом, речь идёт о зелёной инженерии и о так называемой энергетической «сознательности-осведомленности» (Energy\_Awareness).

Вызывает особый интерес такое направление создания экологичной компьютерной техники как технологии долговечности (Longevity), в том числе с использованием принципов модернизируемости и модульности. Экологически эффективней обновление, модернизация действующего аппаратного обеспечения (АО), чем производство нового (см. направления снижения энергопотребления АО, рис.В.3)[1-19].

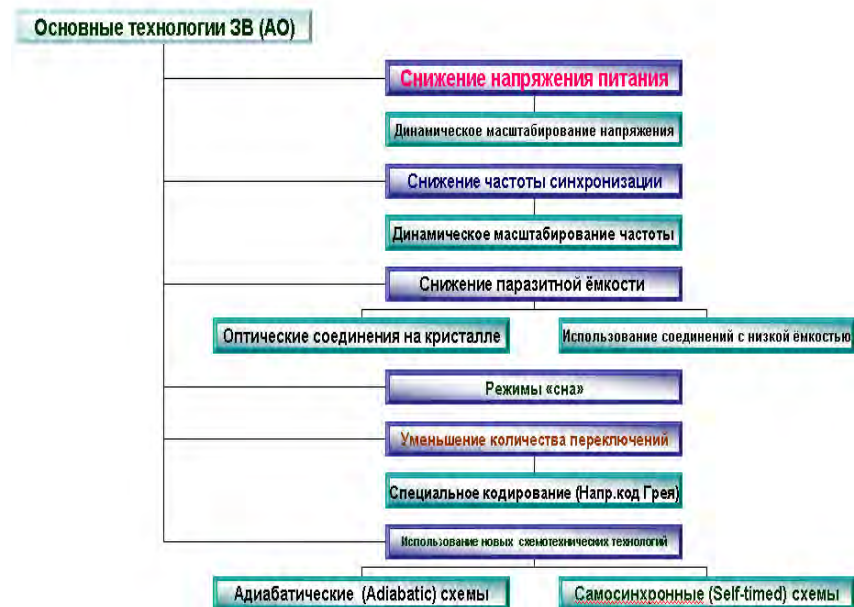


Рис. В.3. Основные технологии зеленого аппаратного обеспечения

Как известно, микросхемы типа КМОП (CMOS - complementary MOS: комплементарный МОП), использующие в логических элементах - вентилях комплементарные пары р- и n-канальных МОП-транзисторов (взаимно дополняющие транзисторы – один открыт, другой закрыт), и были созданы в 60-е годы 20 века Фрэнком Вонласом (Frank Wanlass) из компании Fairchild Semiconductor, как энергосберегающие. По сравнению

с некомплементарными схемами такой вентиль занимает больше места и имеет меньшую предельную частоту, но потребляет значительно меньше энергии. В связи с повышением степени интеграции микросхем есть проблема рассеивания энергии на элементах. В результате технология КМОП оказалась в выигрышном положении. Тем не менее, как указано в [8], в самих процессорах технология КМОП используется редко.

Кроме того, возможна оптимизация (минимизация) аппаратных затрат, использование программно-аппаратного перераспределения функций. С целью снижения ёмкости (паразитной) межсоединений, также возможно использование так называемого накристалльного терминирования - On-Die Termination (ODT), когда нагрузочные резисторы расположены, например, не на контроллере памяти, а на самой микросхеме памяти, помимо повышения качества сигнала обеспечивает также некоторое снижение потребляемой мощности печатной платы [10].

Однако не следует забывать, что снижение напряжения питания снижает помехоустойчивость и увеличивает интенсивность сбоев. Поэтому предложен даже новый показатель энергонадежности (a new metric - the energy-reliability product) [3,8]. Вместе с указанными выше технологиями долговечности (Longevity), энергонадежные решения являются одним из направлений данного курса.

Снижение тактовой частоты увеличивает время выполнения алгоритмов, что может свести на нет экономию энергии. Использование так называемой самосинхронной схемотехники позволяет работать на сверхнизком напряжении питания (время вычислений увеличивается), но при этом требуется большая избыточность, что увеличивает аппаратные затраты. Кроме того, существуют методы, основанные на различной (диверсной) синхронизации частот электронной системы, позволяющие минимизировать число переключений элементов и динамическую составляющую потребляемой мощности.

Программно-аппаратное перераспределение функций может уменьшить количество аппаратуры, но и время опять-таки возрастает, что не всегда целесообразно. Оптимизация (минимизация) аппаратных затрат также не всегда допустима в силу необходимости борьбы с состязаниями сигналов, обеспечения требований надёжности, сбоеустойчивости.

Другими словами, панацеи нет и нужна вдумчивая, скрупулёзная оптимизация при применении всех этих методов «озеленения».

Энергопотребление современных компьютерных систем определяется значениями токов питания в статическом и динамическом режиме функционирования. Энергопотребление в статическом режиме, определяемое токами утечки, зависит от размеров кристалла и



используемых технологий его производства. Таким образом, энергопотребление в настоящее время более всего определяется тактовой частотой, чем она ниже – тем меньше энергии потребляет микросхема, но это приводит к падению производительности.

Метод динамического масштабирования напряжения и частоты (DVFS – Dynamic Voltage and Frequency Scaling) используется для снижения динамического энергопотребления путём уменьшения напряжения питания или частоты [15-19] в соответствии с ACPI (Advanced Configuration and Power Interface – усовершенствованный интерфейс управления конфигурацией и питанием). Перспективными технологиями являются оптические (фотонные) технологии [20], технологии создания микромощных устройств производства и обработки информации (LPD), например, изготовления специальных транзисторов 3D tri-gate transistors, которые уже используются в процессоре Haswell фирмы Интел[20]. Особый интерес вызывает адиабатическая или термодинамически обратимая логика – АТОЛ [21,22], а также самосинхронная (self timed) схемотехника, которые пока широко не применяются, но, видимо, их звездный час уже близится [23].

Таким образом, современные энергосберегающие технологии используют как основной – **принцип динамического масштабирования** напряжения и тактовой частоты с учетом хода вычислений.

Методы и средства реализации энергоэффективных вычислений на программируемой логике являются предметом курса Ph.D2. Research and Development for Green FPGA-Based Systems, разработанного в рамках проекта TEMPUS-Green Co (530270-TEMPUS-1-2012-1-UK- TEMPUS-JPCR). Далее в пособии представляются лабораторные и практические работы этого курса. Теоретические материалы курса изложены в [1], дополнительные сведения по литературе даны к каждой работе.

Данное пособие и курс подготовлены совместно профессором кафедры автоматики и телемеханики Пермского национального исследовательского политехнического университета, заслуженным изобретателем Российской Федерации д.т.н., проф. С.Ф. Тюриным, аспирантом этой кафедры Каменских А.Н. и заведующим кафедрой компьютерных систем и сетей Национального аэрокосмического университета им. Н.Е. Жуковского «ХАИ» заслуженным изобретателем Украины д.т.н., проф. В.С. Харченко. Общее редактирование проведено В.С. Харченко.

Авторы выражают благодарность рецензентам, коллегам по проекту, сотрудникам кафедр за ценную информацию, методическую помощь и конструктивные предложения, которые высказывались в процессе обсуждения пособия.

## АНОТАЦІЯ

Тюрин С.Ф., Каменських А.М., Харченко В.С.

**Енергоефективні обчислення на програмовій логіці. Практикум** / За редакцією Харченка В.С. – Міністерство освіти і науки України, Національний аерокосмічний університет ім. М.С.Жуковського «ХАІ», Харків. – 2016. – 135 с.

Викладені матеріали навчального курсу, присвяченого дослідженню та розробленню енергоефективних технологій обчислень, які реалізуються на програмовій логіці, у тому числі на ПЛІС типу FPGA. Надані практичні заняття і лабораторні роботи з варіантами завдань для самостійного вивчення.

Практикум відповідає програмі курсу "Енергоефективні обчислення на програмовій логіці" (Research and Development (R&D) for Green FPGA-Based Computing), підготовленого для аспірантів в рамках проекту TEMPUS-Green Co (530270-TEMPUS-1-2012-1-UK- TEMPUS-JPCR).

Рекомендується студентам, магістрантам, аспірантам, докторантам вищих навчальних закладів, що навчаються за спеціальностями комп'ютерної інженерії викладачам, науковим співробітникам, інженерам, що займаються розробленням і дослідженням вбудованих систем на ПЛІС.

Библ. – 54 найменованих, рисунков – 98, таблиц –4.

**ЗМІСТ**

ВСТУП.....	4
1. РОЗШИРЕННЯ ПРИНЦИПУ ДИНАМІЧНОГО МАСШТАБУВАННЯ В ЗЕЛЕНИХ ОБЧИСЛЕННЯХ. ДИНАМІЧНЕ МАСШТАБУВАННЯ ЛОГІЧНИХ БАЗИСІВ .....	9
1.1 Практикум. Визначення функціонально-повного толерантного базису. .....	10
1.2 Практикум. Використання функціонально-повного толерантного базису .....	17
1.3 Практикум. Збереження логічної функції при відмовах .....	20
Контрольні запитання.....	23
2. ЗЕЛЕНІ ОБЧИСЛЕННЯ НА ОСНОВІ САМОСИНХРОННИХ СХЕМ 24	
2.1 Практикум. Синтез і аналіз самосинхронних схем.....	24
2.2 Лабораторна робота. Моделювання строго самосинхронних схем.....	30
Контрольні запитання.....	32
3. ЗЕЛЕНІ FPGA .....	33
3.1 Практикум. Моделювання модифікованого LUT для зелених FPGA .	33
3.2 Практикум. Моделювання ДНФ LUT для зелених FPGA .....	45
3.3 Практикум. Програмно-апаратна реалізація логіки зелених FPGA. ...	57
3.4 Практикум. Проблеми самосинхронних FPGA.....	68
Контрольні питання.....	71
4. ЗАБЕЗПЕЧЕННЯ НАДІЙНОСТІ ЗЕЛЕНИХ FPGA .....	72
4.1 Практикум. Моделювання модифікованого LUT для зелених FPGA в задачах контролю .....	72
4.2 Практикум. Моделювання відмовостійкого LUT для зелених FPGA .	86
4.3 Практикум. Моделювання відмовостійкої комірки конфігураційної пам'яті SRAM для зелених FPGA .....	89
4.4 Практикум. Особливості забезпечення відмовостійкості самосинхронних схем .....	92

4.5 Лабораторна робота. Моделювання відмовостійких реалізацій самосинхронних схем.....	104
Контрольні питання к підрозділам 4.1 – 4.3 .....	104
Контрольні питання к підрозділам 4.4 - 4.5.....	105
<b>5. ДИВЕРСНА СИНХРОНІЗАЦІЯ ДЛЯ ЗМЕНШЕННЯ ЕНЕРГОСПОЖИВАННЯ ПРОГРАМОВНІЙ ЛОГІЦІ.....</b>	<b>106</b>
5.1. Диверсна синхронізація.....	107
5.2 Послідовність виконання дослідницького проекту .....	108
5.3 Варіанти задач дослідницького проекту .....	108
5.4 Приклад демонстраційної програми для дослідження систем з диверсною синхронізацією .....	109
Контрольні питання.....	112
ЛІТЕРАТУРА .....	113
ДОДАТОК. НАВЧАЛЬНА ПРОГРАМА .....	124

**ABSTRACT**

S. Tyurin, A. Kamenskikh, V. Kharchenko.

**Energy-Effective Programmable Logic-Based Computing. Practicum.**  
/ Kharchenko V. (edit.). – Department of Education and Science of Ukraine,  
National Aerospace University named after N. Zhukovsky “KhAI”, Kharkiv. –  
2016. – 135 p.

Practical materials of study course the “Research and Development for Green FPGA-Based Computing” are expounded in this training textbook prepared for PhD-students within the framework of project TEMPUS-GREENCO «Green Computing & Communications» (530270-TEMPUS-1-2012-1-UK-TEMPUS-JPCR).

The course focuses on the study of development models of green logic, algorithms and technologies of energy-efficient computing for programmable systems based on FPGA. Course curriculum, description of laboratory works, practical trainings and methodical recommendations for self-sufficient study are given.

The book is intended for university master and PhD students learning computer sciences, computer and software engineering, and techniques for ensuring energy-efficiency and dependability of FPGA-based embedded systems, as well as for lecturers of respective courses and engineers developing embedded systems.

Ref. – 54 items, figures – 98, tables – 4.

**CONTENT**

PREFACE .....4

1. THE PRINCIPLE OF DYNAMICAL SCALING IN GREEN COMPUTING. DYNAMICAL SCALING OF LOGIC BASIS .....9

1.1 Practical work. Determination of functionality complete tolerant basis ....10

1.2 Practical work. Application of functionality complete tolerant basis .....17

1.3 Practical work. Preservation of logic functions on failures.....20

Tasks and questions .....23

2. GREEN COMPUTING BASED ON SELF-TIMED CIRCUITS.....24

2.1 Practical work. Synthesis and analysis of self-timed circuits.....24

2.2 Laboratory Work. Modeling of strictly self-timed circuits. ....30

Tasks and questions .....32

3. GREEN FPGA .....33

3.1 Practical work. Modeling of modified LUT for green FPGA .....33

3.2 Practical work. Modeling DNF LUT for green FPGA.....45

3.3 Practical work. Software-hardware implementation of logic for green FPGA .....57

3.4 Practical work. Problems of self-timed FPGA.....68

Tasks and questions .....71

4. RELIABILITY AND FAULT-TOLERANCE OF GREEN FPGA .....71

4.1 Practical work. Modeling of modified LUT for green FPGA with self-checking .....72

4.2 Practical work. Modeling of fault-tolerant LUT for green FPGA.....86

4.3 Practical work. Modeling of fault-tolerant cells configuration storage SRAM for green FPGA .....89

4.4 Practical work. Particularities of fault-tolerance assurance for self-timed circuits .....92

4.5 Laboratory Work. Modeling of fault-tolerant self-timed circuits.....104

Tasks and questions .....104

5. DIVERSE CLOCKING FOR DECREASING POWER CONSUMPTION OF FPGA BASED SYSTEMS. ....	106
5.1. Diverse clocking .....	107
5.2 Sequence of research project development .....	108
5.3 Variants of tasks.....	108
5.4 Tool for research of FPGA systems with diverse clocking.....	109
Tasks and questions .....	112
REFERENCES .....	113
APPENDIX. TEACHING PROGRAM.....	124

**ПРИЛОЖЕНИЕ. УЧЕБНАЯ ПРОГРАММА  
TEACHING PROGRAM**

<b>TITLE OF THE MODULE</b>	<b>Code</b>
Research and Development (R&D) for Green FPGA-Based Computing	

<b>Aim of the module (course unit): competences foreseen by the study programme</b>		
Acquisition of knowledge about elements of the Green FPGA-Based Computing methodology that provides Naturally Reliable and Fault-Tolerant by use of modern methods and techniques.		
<b>Learning outcomes of module (course unit)</b>	<b>Teaching/learning methods</b>	<b>Assessment methods</b>
At the end of course, the successful student will be able to: 1. Describe new approaches to Green FPGA-Based Computing	Interactive lectures	Module Evaluation Questionnaire
2. Use appropriate method for synthesis and analysis Green FPGA-Based Computing	Interactive lectures, Learning in laboratories,	Module Evaluation Questionnaire
3. Analyze computing systems in terms of green FPGA-Based Computing	Interactive lectures Practical and labs	Module Evaluation Questionnaire
4. Design green FPGA-Based Computing	Interactive lectures Learning in laboratories,	Module Evaluation Questionnaire
5. Develop green FPGA-Based Computing	Interactive lectures Learning in laboratories,	Module Evaluation Questionnaire
6. Review application problems of self-timed FPGA	Interactive lectures	Module Evaluation Questionnaire



Themes	Contact work hours						Time and tasks for individual work		
	Lectures	Consultations	Seminars	Practical work	Laboratory work	Placements	Total contact work	Individual work	Tasks
<p><b>M1. Introduction in energy-reliability scaling computing</b></p> <p>1. Introduction in Green FPGA based Computing.</p> <p>1.1. General characteristics of course and specialty</p> <p>1.2. Basic conceptions and definitions of the Energy-Aware Computer Systems - Green Computing.</p> <p>1.3. Main technologies Green Co – Hardware. Dynamic voltage scaling&amp; Dynamic frequency scaling</p> <p>1.4. Power management. ACPI&amp; IEEE 1680. Processor's States According ACPI</p> <p>1.5. New circuit design: Capacitance reduction, Adiabatic circuits. Self-timed circuits.</p>	2						2	8	1.6. Review of the main technologies Green Computing. Low Power Interface devises.
<p>2. Advanced dynamic scaling principle for Green Computing. Dynamic energy&amp;logic bases&amp; time scaling.</p> <p>2.1. Dynamic energy&amp;logic bases&amp; time scaling.</p> <p>2.2. Dynamic energy scaling. Concept of the energy modulated computing</p>	2		6				8	8	2.6 Construction of fault-tolerant function of four arguments 2.7 Reliability theory

2.3. Dynamic logic bases scaling. Redundancy logical bases. 2.4. Concept of the FTEAC - Fault-Tolerant Energy-Aware Computing 2.5. Construction of fault-tolerant function 2.6. Getting of logical expression fault tolerant bases 2.7. Dynamic time scaling.								
<b>M2. Green Computing, based on self-timed circuits</b> 3.1. Overview of self-timed approach and practice of its realization 3.2. The review of energy-aware adaptive computing systems based on self-timed approach 3.3. Synthesis and analysis of a self-timed circuit 3.4. Simulation of self-timed circuits using CAD TRANAL and CAD MultiSim	4			8		12	8	3.4. Concurrent process in digital circuits
<b>M3. Energy-Reliability Aware FPGA based on Green Logic</b> 4. Green FPGAs technologies 4.1. Concepts and reviews of the Green FPGAs technologies 4.2. Development of the DC-LUT FPGA 4.3. Development of the DNF FPGA 4.4. Hardware-firmware LUT FPGA	2			8		10	8	4.5 Review of FPGA Power Components. System Power Profile. Static Power. Dynamic Power. Power-Aware Synthesis Options. Power Reduction Methodology
5. Green reliable FPGAs	2			6		8	6	5.5.

5.1. Checked LUT CLUT FPGA 5.2. Fault tolerant LUT FPGA. 5.3. Development of the SRAM cell FPGAs. Quadrupling SRAM cell - QSRAM cell 5.4. Modified logic element MLUT FPGA for the purpose of the acceleration of diagnostics								Simulation of the modified logic element MLUT FPGA
6. Energy-Reliability Aware Green Computing, based on self-timed circuits 6.1. Quasi and strictly self-timed design approaches 6.2. Null convention logic foundations 6.3. Reconfigurable NCL LE 6.4. Self-timed pipeline 6.5. Problems of self-timed FPGA based computing 6.6. Application of self-timed circuits in natural reliable computing 6.7. Synthesis of fault-tolerant self-timed digital circuit 6.8. Simulation of fault-tolerant self-timed digital circuit	2			4		6	8	6.9. The Design of Aperiodic Logical Circuits in Computers and Discrete Systems
<b>M4.</b> MMP2.4. Experiments with green FPGA design								
7. Influence of adjusting for Quartus II on power consumption of FPGA design	2			2		4	6	
8. Influence of structural solutions in FPGA design on power consumption.	2			2		4	6	
9. Possibilities of diversification of FPGA design. Diverse clocking for FPGA	2			4		6	8	
<b>Total</b>	<b>20</b>			<b>6</b>	<b>34</b>	<b>60</b>	<b>60</b>	

Author	Year of issue	Title	No of periodical or volume	Place of printing. Printing house or internet link
<b>Compulsory literature</b>				
Ishfag Ahmad, Sanjay Ranka	2012	Handbook of Energy-Aware Computing and Green Computing		<a href="http://www.amazon.com/Handbook-Energy-Aware-Computing-Computer-Information/dp/1439850402#reader_1439850402">http://www.amazon.com/Handbook-Energy-Aware-Computing-Computer-Information/dp/1439850402#reader_1439850402</a>
Pandey, H.	2012	Present Scenario Analysis of Green Computing Approach in the World of Information Technology		<a href="http://irmetexplore.ac.in/IRNetExplore_Volumes/UARJ/UARJ_doc/Volume%201%20Issue%202/paper1.pdf">http://irmetexplore.ac.in/IRNetExplore_Volumes/UARJ/UARJ_doc/Volume%201%20Issue%202/paper1.pdf</a> .
Yakovlev, A	2010	Energy-Modulated Computing		<a href="http://async.org.uk/tech-reports/NCL-EECE-MSD-TR-2010-167.pdf">http://async.org.uk/tech-reports/NCL-EECE-MSD-TR-2010-167.pdf</a> .
Hichem Belhadj, Vishal Aggrawal, Ajay Pradhan, and Amal Zerrouki		Power-Aware FPGA Design		<a href="http://www.actel.com/documents/Power_Aware_WP.pdf">http://www.actel.com/documents/Power_Aware_WP.pdf</a>
Varshavsky V. I.	1986	Self-Timed Control of Concurrent Processes: The Design of Aperiodic Logical Circuits in Computers and Discrete Systems		<a href="http://books.google.co.il/books?id=D-KD9M38BV4C&amp;printsec=frontcover&amp;hl=en#v=onepage&amp;q&amp;f=false">http://books.google.co.il/books?id=D-KD9M38BV4C&amp;printsec=frontcover&amp;hl=en#v=onepage&amp;q&amp;f=false</a>

Smith S. C.	2007	Design of a logic element for implementing an asynchronous FPGA		<a href="http://www.ndsu.edu/pubweb/~scotsmit/Smith_FPGA.pdf">http://www.ndsu.edu/pubweb/~scotsmit/Smith_FPGA.pdf</a>
DeHon, Andre	2012	An Ultra-Low-Energy, Variation-Tolerant FPGA Architecture Using Component-Specific Mapping		<a href="http://thesis.library.caltech.edu/7226/">http://thesis.library.caltech.edu/7226/</a>
Tyurin S.F., Kharchenko V. S.	2013	Green Logic		Радиоелектронні і комп'ютерні системи. – 2013. – № 2(61).
Kamenskih, A.N., Tyurin, S.F.	2014	Application of redundant basis elements to increase self-timed circuits reliability		<a href="http://ieeexplore.ieee.org/xpl/login.jsp?tp=&amp;arnumber=6839198&amp;url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D6839198">http://ieeexplore.ieee.org/xpl/login.jsp?tp=&amp;arnumber=6839198&amp;url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D6839198</a>
Tyurin, S.F., Grekov, A.V., Gromov, O.A.	2013	The principle of recovery logic FPGA for critical applications by adapting to failures of logic elements		<a href="http://idosi.org/wasj/wasj26(3)13/7.pdf">http://idosi.org/wasj/wasj26(3)13/7.pdf</a>
Tyurin, S.F., Gromov, O.A.	2013	A residual basis search algorithm of fault-tolerant programmable logic integrated circuits (2013)	Russian Electrical Engineering 84 (11) PP. 647 - 651	doi: 10.3103/S1068371213110163

Fant, K.M Brandt, S.A.	1996	NULL Convention LogicTM: a complete and consistent logic for asynchronous digital circuit synthesis		<a href="http://ieeexplore.ieee.org/xpl/login.jsp?tp=&amp;arnumber=542821&amp;url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D542821">http://ieeexplore.ieee.org/xpl/login.jsp?tp=&amp;arnumber=542821&amp;url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D542821</a>
Tyurin S.F.	1999	Retention of functional completeness of Boolean functions under “failures” of the arguments	Automation and Remote Control 60 (9 PART 2) PP. 1360 – 1367.	<a href="http://elibrary.ru/item.asp?id=13307260">http://elibrary.ru/item.asp?id=13307260</a>
Tyurin S.F., Kharchenko V. S., Kamenskih, A.N.	2014	Green bases, fault-tolerant bases, Green FPGA.		Green book.Dropbox. IT
Hock S Low, Delong Shang, Fei Xia, Alex Yakovlev	2014	Asynchronously assisted FPGA for variability		<a href="http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=6927398">http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=6927398</a>
Yakovlev, A		Information&publications about energy-modulated computing		<a href="https://blogs.ncl.ac.uk/alexeyakovlev/category/energetic-computing/">https://blogs.ncl.ac.uk/alexeyakovlev/category/energetic-computing/</a>
Hollosi B., Jia Di, Smith S.C. et al.	2008	Delay-insensitive asynchronous ALU for cryogenic temperature environments		<a href="http://www.ndsu.edu/pubweb/~scotsmit/ALU_cryo.pdf">http://www.ndsu.edu/pubweb/~scotsmit/ALU_cryo.pdf</a>

Stepchenkov Y	2010	Quasi-delay-insensitive computing device: methodological aspects and practical implementation		<a href="http://link.springer.com/chapter/10.1007/978-3-642-11802-9_32">http://link.springer.com/chapter/10.1007/978-3-642-11802-9_32</a>
Abdullah Baz, Delong Shang, Fei Xia, Alex Yakovlev	2011	Self-Timed SRAM for Energy Harvesting Systems		<a href="http://link.springer.com/chapter/10.1007/978-3-642-17752-1_11">http://link.springer.com/chapter/10.1007/978-3-642-17752-1_11</a>
<b>Additional literature</b>				
Tyurin S.F., Kamenskih, A.N.	2014	THE ANALYSIS OF SELF-TIMED FULL-ADDER IN TERMS OF FAULT-TOLERANCE		<a href="http://elibrary.ru/item.asp?id=21813133">http://elibrary.ru/item.asp?id=21813133</a>

**СОДЕРЖАНИЕ**

СПИСОК СОКРАЩЕНИЙ .....	3
ВВЕДЕНИЕ .....	4
1. РАСШИРЕНИЕ ПРИНЦИПА ДИНАМИЧЕСКОГО МАСШТАБИРОВАНИЯ В ЗЕЛЕННЫХ ВЫЧИСЛЕНИЯХ. ДИНАМИЧЕСКОЕ МАСШТАБИРОВАНИЕ ЛОГИЧЕСКИХ БАЗИСОВ 9	
1.1 Практикум. Определение функционально-полного толерантного базиса .....	10
1.1.1 Теоретический материал. Расширенные (избыточные) базисы .....	10
1.1.2 Сохранение базиса. Обеспечение свойств несохранения констант при отказах типа stuck-at-0 ( $\equiv 0$ ), stuck-at-1 ( $\equiv 1$ ) .....	10
1.1.3 Практическая работа. Задание 1 .....	16
1.1.4 Практическая работа. Задание 2 .....	17
1.2 Практикум. Использование функционально-полного толерантного базиса. ....	17
1.2.1 Теоретический материал. Реализация цифровых автоматов в расширенных (избыточных) базисах.....	17
1.2.2 Практическая работа. Задание 3 .....	19
1.3 Практикум. Сохранение логической функции при отказах .....	20
1.3.1 Теоретический материал. Масштабирование базиса для сохранения базиса или функции при кратных отказах .....	20
1.3.2 Практическая работа. Задание 4 .....	22
Контрольные вопросы .....	23
2. ЗЕЛЕННЫЕ ВЫЧИСЛЕНИЯ НА ОСНОВЕ САМОСИНХРОННЫХ СХЕМ .....	24
2.1 Практикум. Синтез и анализ самосинхронных схем .....	24
2.2 Лабораторная работа. Моделирование строго самосинхронных схем. .....	30
Контрольные вопросы .....	32



3. ЗЕЛЕННЫЕ FPGA .....	33
3.1 Практикум. Моделирование модифицированного LUT для зеленых FPGA .....	33
3.1.1 ПЛИС FPGA .....	33
3.1.2 Энергосбережение в FPGA .....	37
3.1.3 Расширенные LUT FPGA - DC LUT.....	39
3.1.4 Упрощенная модель DC – LUT 2.....	41
3.1.5 Оценка эффективности DC –LUT по сравнению с LUT.....	42
3.1.6 Варианты заданий. Моделирование DC LUT, который реализует заданную систему функций .....	45
3.2 Практикум. Моделирование ДНФ LUT для зеленых FPGA .....	45
3.2.1 ДНФ LUT .....	45
3.2.2 Моделирование логического элемента ПЛИС FPGA на основе ДНФ реализации систем логических функций. Моделирование матрицы И ....	48
3.2.3 Варианты заданий. Моделирование матриц И, ИЛИ ДНФ LUT, который реализует заданную систему функций .....	57
3.3 Практикум. Программно-аппаратная реализация логики зелёных FPGA .....	57
3.3.1 Программно – аппаратная реализация логики методом ПЛА [41,42] .....	57
3.3.2 Выполнение расчетов .....	58
3.3.3 Подготовка программы ПЛА .....	61
3.3.4 Построение схемы программной реализации логики и моделирование в системе Proteus .....	64
3.3.5 Варианты заданий. Программно-аппаратная реализация логики.....	67
3.4 Практикум. Проблемы самосинхронных FPGA .....	68
Контрольные вопросы .....	71
4. ОБЕСПЕЧЕНИЕ НАДЕЖНОСТИ ЗЕЛЕННЫХ FPGA.....	72
4.1 Практикум. Моделирование модифицированного LUT для зелёных FPGA в задачах контроля .....	72

4.1.1 Рабочий контроль логического элемента LUT ПЛИС типа FPGA ...	72
4.1.2 Оценка избыточности при контроле дерева LUT путем использования второй половины дерева передающих транзисторов .....	74
4.1.3 Оценка достоверности контроля дерева LUT путем использования второй половины дерева передающих транзисторов .....	76
4.1.4 Моделирование ЛЭ с контролем ChLUT-2.....	80
4.1.5 Варианты заданий. Моделирование ЛЭ с контролем ChLUT-2 при настройке на заданную функцию .....	86
4.2 Практикум. Моделирование отказоустойчивого LUT для зелёных FPGA .....	86
4.2.1 Отказоустойчивый LUT для зелёных FPGA.....	86
4.2.2 Резервирование передающих транзисторов LUT.....	87
4.2.3 Варианты заданий. Моделирование ЛЭ LUT-2 при настройке на заданную функцию с резервированием одного транзистора .....	89
4.3 Практикум. Моделирование отказоустойчивой ячейки конфигурационной памяти SRAM для зелёных FPGA .....	89
4.3.1 Шеститранзисторная ячейка оперативной памяти SRAM .....	89
4.3.2 Варианты заданий. Моделирование отказоустойчивой ячейки конфигурационной памяти SRAM для зелёных FPGA .....	91
4.4 Практикум. Особенности обеспечения отказоустойчивости самосинхронных схем .....	92
4.4.1 Методы пассивной отказоустойчивости .....	93
4.4.2 Методы активной отказоустойчивости .....	102
4.5 Лабораторная работа. Моделирование отказоустойчивых реализаций самосинхронных схем .....	104
Контрольные вопросы к подразделам 4.1 – 4.3 .....	104
Контрольные вопросы к подразделам 4.4 - 4.5.....	105
<b>5. ДИВЕРСНАЯ СИНХРОНИЗАЦИЯ ДЛЯ УМЕНЬШЕНИЯ ЭНЕРГОПОТРЕБЛЕНИЯ ПРОГРАММИРУЕМОЙ ЛОГИКИ .....</b>	<b>106</b>
5.1. Диверсная синхронизация.....	107
5.2 Последовательность выполнения исследовательского проекта .....	108

5.3 Варианты задач исследовательского проекта.....	108
5.4 Пример демонстрационной программы для исследования систем с диверсной синхронизацией.....	109
Контрольные вопросы .....	112
ЛИТЕРАТУРА .....	113
АНОТАЦІЯ.....	118
ЗМІСТ .....	119
ABSTRACT.....	121
CONTENT .....	122
ПРИЛОЖЕНИЕ. УЧЕБНАЯ ПРОГРАММА .....	124

**Тюрін Сергій Феофентович  
Каменських Антон Миколайович  
Харченко Вячеслав Сергійович**

# **ЕНЕРГОЕФЕКТИВНІ ОБЧИСЛЕННЯ НА ПРОГРАМОВНІЙ ЛОГІЦІ**

**Практикум**  
(російською мовою)

**Редактор: Харченко В.С.**

**Комп'ютерна верстка**  
Харченко Л.Д.

Зв. план, 2015  
Підписаний до друку 21.01.2016  
Формат 60x84 1/16. Папір офс. №2. Офс. друк.  
Умов. друк. арк. 7,9. Уч.-вид. л. 8,5. Наклад 200 прим.  
Замовлення 3. Ціна вільна

Національний аерокосмічний університет ім. М. Є. Жуковського  
«Харківський авіаційний інститут»  
61070, Харків-70, вул. Чкалова, 17 <http://www.khai.edu>

**Видавець:** ФОП Голембовська О.О.  
03049, Київ, Повітрофлотський пр-кт, б. 3, к. 32.  
Свідоцтво про внесення суб'єкта видавничої справи в державний реєстр видавців, виготовлювачів  
і розповсюджувачів видавничої продукції  
ДК №5120 від 08.06.2016.

Віддруковано ТОВ «Юстон ЛТД»  
01034, м.Київ, вул. О.Гончара, 36-а Тел. +38 044 360-2266,  
[www.yuston.com.ua](http://www.yuston.com.ua)